

# CycloneIII 软 SERDES 在高速广播视频中的应用

本文介绍 Altera 65nm CycloneIII FPGA 器件与成熟串行/解串器结合，利用 FPGA 实现软 serdes 技术，为 SD、HD 和 3G-SDI 多速率广播提供低成本解决方案，方案在自由电子科技 CycloneIII 通用开发平台上开发和论证。

目前，电视广播正在由模拟向数字转换，专业音频/视频广播系统（AVB）以往一般采用高端 FPGA 实现。视频应用设计工程师设计高信号质量的专业音频/视频广播系统，正在面临高速高性能和低成本需求的挑战。我们利用 Altera 65nm 低成本 CycloneIII 器件和 National Semiconductor（或 gennum）新型芯片组结合的方案，使系统开发人员能专注于领域内的 IP 开发，减少在连接接口设计上的投入，在数字控制和模拟两部分以低成本实现高性能高质量 AVB 系统。这是一个极具价值的设计方案，自由电子科技 CycloneIII 通用开发平台提供验证开发环境。

## I SDI 视频标准

串行数字接口（SDI）标准由移动图像和电视工程师协会（SMPTE）制定，在当今的广播和视频产品领域得到了广泛的应用。SDI 标准规定了怎样通过视频同轴电缆在产品设备之间传送未经压缩的串行数字视频数据。根据数据速率不同，主要有标准清晰度（SD）和高清晰度（HD）SDI。这两个标准的基本电气规范相同，其主要差别是 HD-SDI 具有更高的 1.485 Gbps 和 1.485/1001Gbps 数据速率，而 SD-SDI 数据速率范围为 143 Mbps 至 540 Mbps，最常用速率为 270 Mbps。

SD SDI（SD-SDI SMPTE -259M 标准）通常支持 270Mbps，通过同轴电缆传输非压缩标清（SD）视频信号，适用于 60Hz 的 480i 分辨率（480i60）。

HD SDI（HD-SDI SMPTE-292M 标准）支持 1.485Gbps，支持 720p60 和 1080i60 等高清格式。

现在最新的 3G SDI（3G-SDI SMPTE-424M 标准）支持 2.97Gbps，支持 1080p60 的屏幕分辨率。

## I 美国国家半导体串行器/驱动器介绍

美国国家半导体推出两款支持高清晰度/标准清晰度标准的芯片组以及另一只可支持标准清晰度标准的芯片组，这几款芯片组大致可分为三类，一类是全面支持高清晰度/标准清晰度标准的 LMH0040 串行器及 LMH0041 解串器，另一类是支持高清晰度/标准清晰度标准的低成本 LMH0050 及 LMH0051 芯片，最后一类是只支持标准清晰度标准的 LMH0070 及 LMH0071 芯片。

美国国家半导体最新推出的是支持 3Gbps 多速率操作的 Smart SERDES 芯片组。LMH0341 解串器可与 LMH0340 串行器搭配一起，组成串行/解串器芯片组。这款解串器可以支持速度达 270Mbps 的 DVB-ASI 接口，也可支持标准清晰度/高清晰度和 3Gbps 数据传输速度所需的串行数字接口（SDI）。LMH0341 解串器芯片采用小巧的 48 引脚 LLP 封装，体积比市场上其他高清晰度芯片产品小 60%。LMH0341 芯片内置时钟恢复器，其输入抖动容限高达 0.6 单位信号时间（UI），因此即使信号的眼图已关闭 60% 以上，这款芯片仍可接收信号以及将信号解串。时钟恢复环路穿越电路内置电缆驱动器，可以自动调节

输出压摆率，以便配合数据的输入速度。LMH0341 解串器与 LMH0340 都无需加设外置压控振荡器。若以 2.97Gbps 的速度操作，这款芯片的功耗低至只有 445mW (典型值)，若同样以高清晰度接口速度操作，这款芯片的功耗则比其他竞争产品少约一半。

National Smart SERDES 系列器件具有卓越的模拟性能，与 FPGA 的数字接口从传统 20bit 的并行总线升级成 5 通道低压差分 (LVDS) 接口。LVDS 接口有效减少了传输线数量，减少 FPGA 引脚使用，降低 EMI，简化 PCB 设计难度。低成本 65nm CycloneIII 器件和串行器/驱动器的组合支持 SD、HD、3Gbps 速率，从而使低成本 FPGA 进入高性能 AVB 应用市场。自由电子科技 CycloneIII 通用开发板在高速扩展接口上设计了 9 通道的 LVDS 发送和 9 通道 LVDS 接收，严格的板级时序设计控制，使信号传输线上收发通道的信号时延差异小于 10ps。9 个收 lvs 通道和 9 个发 lvs 通道，完全满足 National Smart SERDES 系列器件要求的 5 通道的要求。

I CycloneIII 在视频应用中的功能和应用介绍

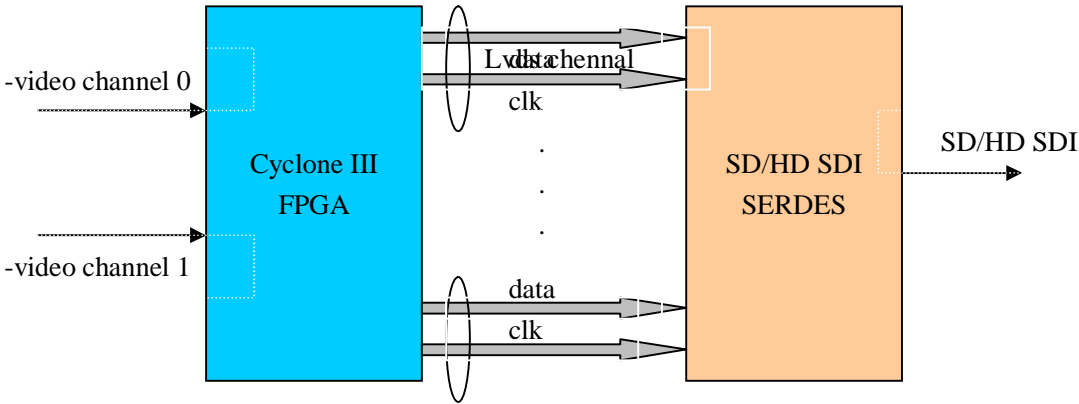
Cyclone III FPGA 具有独特的低功耗体系结构，以非常低的成本提供丰富的存储器和专用乘法器资源。在视频和图像处理等高强度算法应用中，这些特性使该 FPGA 成为 ASSP、ASIC 以及分立数字信号处理器的理想替代方案。

Cyclone III FPGA 在多种视频应用中有很强优势，例如广播和压缩、视频监控以及视频会议等。其关键优点如表 1：

特性	优点
具有丰富的存储器资源	4Mbits 的片内存储器用于视频帧缓冲
数字信号处理(DSP)乘法器	288 个嵌入式 18 位×18 位乘法器，性能达到 260MHz，处理密集 DSP 视频算法
视频和图像处理(VIP)包	9 个经过优化的视频和图像处理知识产权(IP)内核组合，包括去隔行器、scaler 以及滤波器，提高了效能。
Nios® II 嵌入式软核处理器	世界上最通用的嵌入式软核处理器，是低成本微控制器的理想选择。

I 软 Serdes 在 FPGA 中的设计实现

Cyclone III 完成数字处理，Serdes 器件实现 SDI 物理驱动，National Smart SERDES 和 FPGA 互联如下图所示：



CycloneIII FPGA 主要完成的功能:

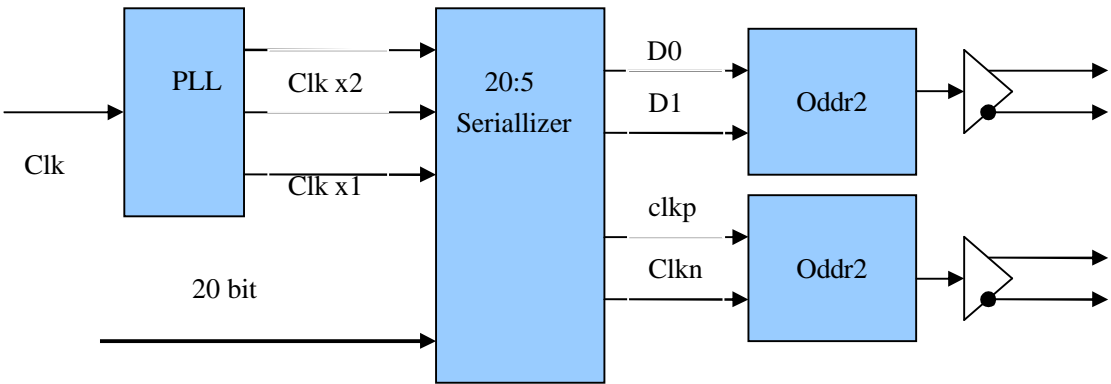
- 2 视频成帧器和解帧器
- 2 20:5 / 5:20 LVDS 软串行化和解串化 (SERDES)
- 2 SMPTE 加扰 / 解扰

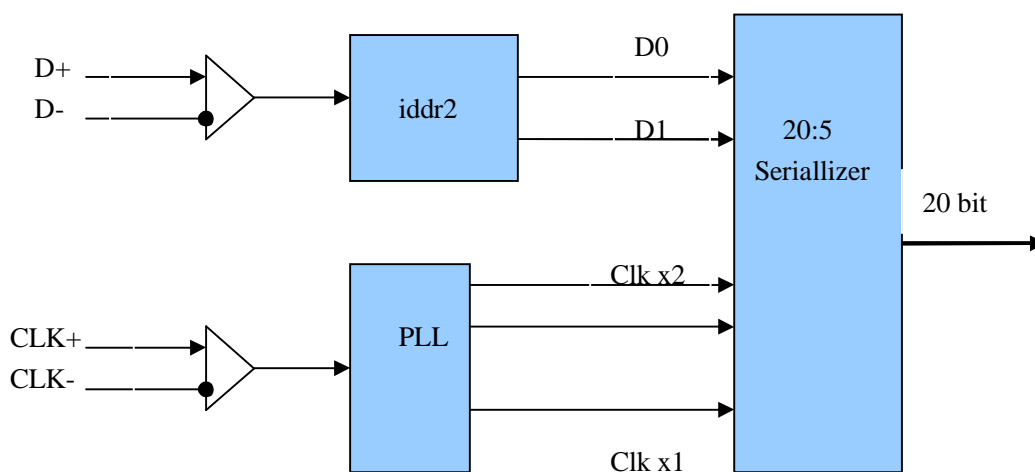
FPGA 设计主要包括视频像素时钟域和 SERDES 时钟域,表 2 列出了 3 种应用:

视频标准	像素时钟	SERDES 时钟
SD-SDI	27MHz	27MHz
HD-SDI	74.25MHz	148.8MHz
3G-SDI	148.5MHz	297MHz

在设计中使用 DDR, 软 SERDES 处理模块使用的时钟是串行 SERDES 时钟的一半, 像素处理时钟由视频传输模式决定, 720p60 传输模式是 74.25MHz,对于 1080p60 传输模式是 148.5MHz。

软 SERDES 基本设计架构如下图所示:





自由电子科技 CycloneIII 通用开发平台在设计时充分考虑了 LVDS 串行应用开发和验证需求，在板上实现了 SMA 方式的 CLK+, CLK-, D+, D- 的输入和输出接口，可以充分验证上述软 serdes 功能，使逻辑设计设计工程师在硬件方案确定前就可以先行开发、验证和评估相关的应用模块，最大限度的提高开发进度。板上采用 CycloneIII 系列资源最大的器件 EP3C80（或 EP3C120），使的应用算法逻辑设计有充分的空间和资源。CycloneIII 通用开发板高速扩展口设计有 9 通道的 LVDS 收接口和 9 通道 LVDS 发接口，通过 SD-SDI 扩展板可完全实现软 Serdes 方案。

## I 目标应用和结论

Altera 的低成本 Cyclone III FPGA 广泛应用于消费和专业视频应用中，本文介绍的方案使 Cyclone III 器件结合成熟的 serdes 器件应用于高速高性能的专业音频/视频广播系统中，在高清摄像机、数字录象机、视频剪辑机和高清监控上有广泛的应用前景。